

Multiple latched accumulator fractional N synthesis

Patent number: JP5502154T

Publication date: 1993-04-15

Inventor:

Applicant:

Classification:

- International: **H03L7/197; H03L7/16;** (IPC1-7): H03C3/00; H03L7/183

- european: **H03L7/197D1**

Application number: JP19910514278 19910801

Priority number(s): US19900576342 19900831

Also published as:

WO9204766 (A1)
US5070310 (A1)
IE913059 (A1)
GB2255680 (A)
FR2666464 (A1)

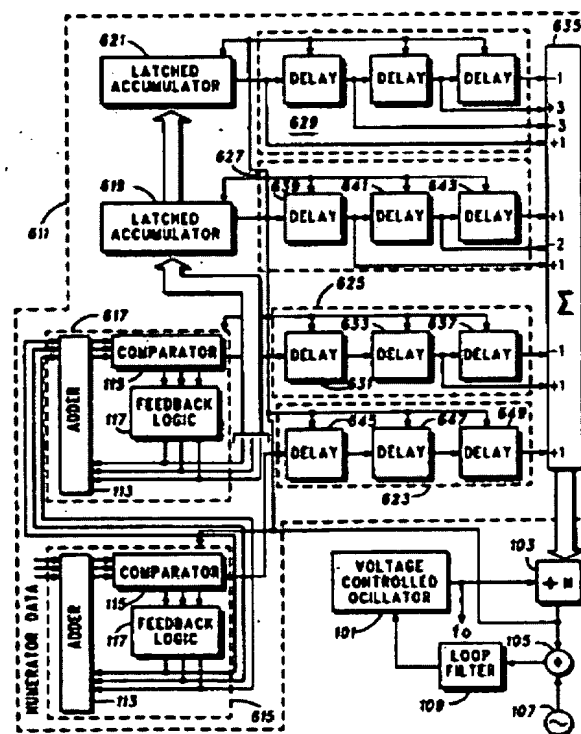
more >>

Report a data error here

Abstract not available for JP5502154T

Abstract of corresponding document: **US5070310**

A multiple latched accumulator fractional-N synthesizer for use in digital radio transceivers is disclosed. The divisor of the frequency divider (103) of the synthesizer is varied with time by the summation of accumulator carry output digital sequences which result in frequency increments equal to a fraction of the reference frequency. The accumulators (615, 617) are latched such that upon the occurrence of a clock pulse, data is transferred through each accumulator one clock pulse step at a time, such that the delay through the system is equal to that of only one accumulator. The carry outputs of each accumulator are coupled through delays (645, 647, 649, 631, 633) equal to one less delay than the number of accumulators and added (635) such that all higher order accumulator carry outputs add to a net summation of zero so as to not upset the desired fractional setting of the first accumulator.



Data supplied from the esp@cenet database - Worldwide

⑫ 公表特許公報(A)

平5-502154

⑬ 公表 平成5年(1993)4月15日

⑭ Int. Cl.⁵ 識別記号 庁内整理番号 審査請求 未請求
H 03 L 7/183 予備審査請求 未請求 部門(区分) 7(3)
H 03 C 3/00 B 8321-5 J 9182-5 J H 03 L 7/18 B
(全 12 頁)

⑮ 発明の名称 多段ラッチドアクキュムレータ分数Nの合成

⑯ 特 願 平3-514278

⑰ 翻訳文提出日 平4(1992)4月24日

⑱ 出 願 平3(1991)8月1日

⑲ 国際出願 PCT/US91/05455

⑳ 国際公開番号 WO92/04766

㉑ 国際公開日 平4(1992)3月19日

優先権主張 ㉒ 1990年8月31日 ㉓ 米国(U S) ㉔ 576,342

㉕ 発 明 者 ヒエタラ・アレキサンダー ダ アメリカ合衆国イリノイ州 60013、カリ、キルダ、コート 1
ブリュ 01
㉖ 発 明 者 ラベ・デュアン シー アメリカ合衆国イリノイ州 60008、ローリング・メドウズ、ミル
ストーン 2702
㉗ 出 願 人 モトローラ・インコーポレーテ アメリカ合衆国イリノイ州 60196、シャンバーグ、イースト・ア
ッド ルゴンクイン・ロード 1303
㉘ 代 理 人 弁理士 池内 義明
㉙ 指 定 国 AT, AU, BR, CA, DE, DK, ES, FI, GB, JP, KR, NO, SE

請求の範囲

1. 複数のビットのデジタル数を受けて制御可能な発振器の出力信号周波数を選択し、該出力信号周波数をループ分周器によって分周し、該ループ分周器は制御入力信号によって制御される可変除数を有して基準信号と比較すべきフィードバック信号を発生する分数Nのシンセサイザであって、

クロック信号を発生する手段と、

前記デジタル数を積分し、前記クロック信号の第1の発生時にラッチされた出力信号及び第1のキャリア出力信号を発生する手段と、

前記ラッチされた出力信号を積分して前記クロック信号の第2の発生時に第2のキャリア出力信号を発生する手段と、

前記第1のキャリア出力信号を前記クロック信号の第2の発生時まで遅延する手段と、

前記第2のキャリア出力信号を微分する手段と、

前記遅延された第1のキャリア出力信号及び前記微分された第2のキャリア出力信号を結合して前記制御入力信号を発生する手段と、

を具備する分数Nのシンセサイザ。

2. さらに、前記出力信号を時間的に変調して前記デジタル数の少なくとも1ビットを変化させる手段を具備する

請求項1に記載の分数Nのシンセサイザ。

3. 前記可変除数が整数と分子を分母によって除した商との和によって表された平均値を有する請求項1に記載の分数Nのシンセサイザ。

4. 前記可変除数の分母は大きな値であって、該分母によって除された基準信号の間の周波数が前記分数Nのシンセサイザの高域通過特性の下限周波数(corner frequency)よりかなり低く、これにより、前記出力信号におけるスプリアス信号が除去される請求項3に記載の分数Nのシンセサイザ。

5. さらに、前記デジタル数の少なくとも1ビットに対する所定状態を選択することによって多数の分子値に対して前記分母を維持する手段を具備する請求項3に記載の分数Nのシンセサイザ。

6. コントローラからの複数のビットのデジタル数を受けて動作信号の周波数を選択し、該動作信号の周波数をループ分周器によって除算し、該ループ分周器は制御入力信号によって制御される可変除数を有して基準信号と比較すべきフィードバック信号を発生する分数Nのシンセサイザを用いた無線送信機であって、

クロック信号を発生する手段と、

前記デジタル数を積分し、前記クロック信号の第1の発生時にラッチされた出力信号及び第1のキャリア出力信号を発生する手段と、

前記ラッチされた出力信号を積分して前記クロック信号の第2の発生時に第2のキャリア出力信号を発生する手段と、

前記第1のキャリア出力信号を前記クロック信号の第2の発生時まで遅延する手段と、

前記第2のキャリア出力信号を微分する手段と、

前記遅延された第1のキャリア出力信号及び前記微分された第2のキャリア出力信号を結合して前記制御入力信号を発生する手段と、

前記制御入力信号にตอบสนองして前記動作信号を発生する手段と、

該動作信号を送信する手段と、

を具備する無線送信機。

7. さらに、前記動作信号を時間的に変調して前記デジタル数の少なくとも1ビットを変化させる手段を具備する請求項6に記載の無線送信機。

8. 前記可変除数が整数と分子を分母によって除した商との和によって表された平均値を有する請求項6に記載の無線送信機。

9. 前記可変除数の分母は大きな値であって、該分母によって除された基準信号の商の周波数が前記分数Nのシンセサイザの高域通過特性の下限周波数 (corner frequency) よりかなり低く、これにより、前記動作信号におけるスプリアス信号が除去される請求項8に記載の無線送信機。

を具備する信号合成方法。

12. さらに、前記出力信号を時間的に変調して前記デジタル数の少なくとも1ビットを変化させるステップを具備する請求項11に記載の信号合成方法。

13. 前記可変除数が整数と分子を分母によって除した商との和によって表された平均値を有し、前記可変除数の分母は大きな値であって、該分母によって除された基準信号の商の周波数が前記分数Nのシンセサイザの高域通過特性の下限周波数 (corner frequency) よりかなり低く、さらに前記出力信号におけるスプリアス信号が除去されるステップを具備する請求項11に記載の信号合成方法。

14. さらに、前記デジタル数の少なくとも1ビットに対する所定状態を選択することによって多数の分子値に対して前記分母を維持するステップを具備する請求項13に記載の信号合成方法。

の無線送信機。

10. さらに、前記デジタル数の少なくとも1ビットに対する所定状態を選択することによって多数の分子値に対して前記分母を維持する手段を具備する請求項8に記載の無線送信機。

11. 複数のビットのデジタル数を受けて制御可能な発振器の出力信号周波数を選択し、該出力信号周波数をループ分周器によって除算し、該ループ分周器は制御入力信号によって制御される可変除数を有して基準信号と比較すべきフィードバック信号を発生する分数Nのシンセサイザにおける信号合成方法であって、

クロック信号を発生するステップと、

前記デジタル数を積分し、前記クロック信号の第1の発生時にラッチされた出力信号及び第1のキャリア出力信号を発生するステップと、

前記ラッチされた出力信号を積分して前記クロック信号の第2の発生時に第2のキャリア出力信号を発生するステップと、

前記第1のキャリア出力信号を前記クロック信号の第2の発生時まで遅延するステップと、

前記第2のキャリア出力信号を微分するステップと、

前記遅延された第1のキャリア出力信号及び前記微分された第2のキャリア出力信号を結合して前記制御入力信号を発生するステップと、

明 細 書

多段ラッチドアクキュムレータ分数Nの合成

発明の背景

本発明は一般的に周波数シンセサイザに関し、特に、ラッチド構成 (latched configuration) の1つより多くのアクキュムレータを用いることによりデータが1つより多くのアクキュムレータを介して“リップル”を不要とする分数Nの周波数シンセサイザに関する。ラッチド構成は同期的に動作し、また、システムをより高い周波数で動作を可能にし、これにより、スプリアス信号を低減する。参考として、米国特許出願第516,993号: “Multiaccumulator Sigma-Delta Fractional-N Synthesis”、発明者Hietala et al、出願日1990年4月30日、及び米国特許出願第516,897号: “Fractional N/M Synthesis”、発明者Black et al、出願日1990年4月30日があり、これらは共に本願発明の譲受人に譲渡されている。また、参考として、米国特許出願第576,333号: “Latched Accumulator Fractional-N Synthesis with D/A Conversion”、出願日1990年4月3

0日、発明者Hietala et alがある。

位相ロックループ(PLL)周波数合成は電圧制御発振器(VCO)から多くの関連する信号の1つを発生するためのよく知られた技術である。単一ループのPLLにおいては、VCOからの出力信号はプログラマブル分周器に供給され、この分周器は選択された整数によって分周して分周信号を位相比較器に提供し、位相検出器はこの分周信号を他の固定周波数発振器からの基準信号と比較する。この基準信号は時間変化及び環境変化に対して周波数の安定のためにしばしば選択される。分周信号と基準信号との位相差が位相検出器から出力されてループフィルタを介してVCOに印加され、これにより、VCOからの出力信号の周波数を変化させて分周信号と基準信号との位相誤差を最小にする。プログラマブル分周器は整数のみによって分周するので、出力周波数のステップ幅(step size)は基準信号周波数に等しくなるように抑制される。単一ループPLLについては、ループロック時間、出力周波数のステップ幅、雑音性能、及びスプリアス信号発生との競合要件の間での技術上の妥協を行わなければならない。

単一ループPLLの制限を克服するために、非整数によって分周するプログラマブル分周器が開発されてきた。基準信号周波数の分数の出力周波数のステップ幅は得られるが、基準信号周波数が高かつループ帯域が広く維持される。分数Nの合成についての議論は米国特許第4,816

774号に見い出される。ここで述べられているように、2つのアキュムレータを用いて切替によって発生するスプリアス信号を伴うことなく、除数の異なる整数値間での切替の分数合成の性能をシミュレートする。これらの2つのアキュムレータの技術は打消し(cancellation)及びループフィルタ排除(rejection)によって不要なスプリアス信号を低減するように作用する。

従って、分数N周波数シンセサイザのための基準信号周波数はVCO出力周波数にプログラマブル分周器の除数の分母を乗算した値のステップ幅によって決定される。分数N合成によれば、実際のチャネル間隔よりずっと高い基準周波数の使用が可能となり、また、低周波数のスプリアス出力の低減のためにより広い帯域幅を使用する設計が可能となる。帯域幅が広くなると、ロック時間が早くなり、また、基準入力もしくは分数分割機構に印加される広帯域変調が可能となる。

残念ながら、上述のシステムは完全ではなく、チャネル間隔に等しい周波数でいくらかのスプリアス信号出力を発生する。望ましい信号出力の純粋度は非分数システムよりよいが、それ自信いくつかの商品システムのためにはまだ不十分であると言える。

このスプリアス出力の効果を最小にするために、2つのアキュムレータの分数N合成システムが開発され、このシステムはスプリアス信号をフィルタリングが高価でなくか

つ簡単な周波数に分散する。この利益は2つより多くのアキュムレータを有するシステムを使用することによって急激に増大する。

現在の多段アキュムレータシステムはすべてアキュムレータがデータを「リップル」するという欠点を有している。言い換えると、各クロックパルスに対しデータはデジタルネットワーク構成全体に亘って作用しなければならない。これは、システムを構築するのに用いられたデジタル回路における伝播遅延のために、多段アキュムレータシステムに対して比較的低い動作周波数上限値を招くことになる。

1つのアキュムレータの分数Nシステムの基本構成は図1のブロック図に示される。VCO101は出力信号を発生し、この出力信号は代表的にはプログラマブル分周器103に供給され、プログラマブル分周器103は位相検出器(ϕ)105への出力を有する。制御入力は粗チャネル設定値と除算の分数部分を提供するデジタル網の出力との和である。位相検出器105は、通常、分周周波数 f_v の位相を基準発振器107からの基準信号周波数 f_r 出力の位相と比較して信号を発生し、この信号はループフィルタ109に印加され、続いて、VCO101に印加され、これにより、VCO出力信号を位相ロックする。

可変分周器103の除数値の選択は、デジタル網111によってなされ、このデジタル網は、米国特許第4,758,802号と等価のZ変換にて記載された既知の装置で

あって、通常の加算器113、比較器115(比較器115の入力が所定の数値を超えたときに「キャリーアウト」信号を発生)、及びフィードバックロジック117を備えており、このフィードバックロジック117は(キャリーアウト信号が発生したときに)加算器113にデジタル数表現が印加される前に加算器113及び比較器115のデジタル数表現出力から分母を減算する。分数Nのシンセサイザにおいて時間(オフセット周波数)に関してのオフセット位相の1階微分のデジタル等価値である第2のデジタル数表現がデジタル網111の他の入力に印加される。デジタル網111の全体効果は微分位相を積分し、PLLに位相オフセットの1次の等価量である制御信号(キャリーアウトデジタル信号形式)を印加することである。加算器113は基準周波数信号 f_r の発生毎に加算器113の前回値に $d\phi/dt$ (分子)を加算する。米国特許第4,816,774号に記載してあるように、加算器113の出力はある数(分周器103の除数を整数と分子/分母との和で表すとき除数の所望の分数部分の分母)と比較される。加算器113の内容がその分母値を超えると、キャリーアウト出力が真値(true)にセットされ、次の基準パルスの発生前に加算器113の内容がフィードバックロジック117において分母値だけ減少する。

たとえば、分母の値を13とし、分子の値を1とする。13倍の基準パルスの発生毎に加算器113は分母の値を

超えてキャリー出力を発生し、このキャリー出力は1つの基準信号 f_r のバースに対して分周器103の除数を1だけ増大させる。これはVCO101の出力信号から1つのバースを除き、従って、蓄積された位相誤差が360°だけ減少する。これは公称のループ除算数に加算された1/13除算に対応する。

図2のZ変換図には、米国特許第4,758,802号に開示されたものと同一の1つのアキュムレータのシステムのZ変換等価デジタル網111'が示されている。該単一アキュムレータシステムのZ変換式は、

$$D0 = Q \{ (1 - z^{-1}) / (2 - z^{-1}) \} + D1 / (2 - z^{-1})$$

ただし、D0は出力データ、D1は入力データである。

Z変換加算器201には、分子の値(オーバーフローがあれば分子の値からの分母の値を減算した値)と、 z^{-1} (遅延)ブロック203、205によって表される、前回の加算器内容とが供給される。この比較は207にて加算された量子化誤差Qによるデジタルスライサとみなされる。加算器207からの出力はデジタル数値であって加算器201にフィードバックされ、また、キャリアウト信号は出力信号として取り出される。しかしながら、Z変換解析では、出力とフィードバック信号との差は必要とされない。

$$\begin{aligned} |(Data Out) / (Data In)| &= |1 / (5 - 4 \cos(\pi \nu))|^{1/2} \\ |(Data Out) / Q| &= |(2 - 2 \cos(\pi \nu)) / (5 - 4 \cos(\pi \nu))|^{1/2} \end{aligned}$$

このように、加算器201へのデータはわずかに低域通過フィルタリングされ、デジタル網111'によって導入された量子化雑音は高域通過フィルタリングされる。量子化雑音の高域通過フィルタリングは、スプリアス信号が高域通過フィルタのコーナ(下限)周波数(corner of the high pass)よりずっと低い周波数で発生するときに、送受信機のチャネル間周波数間隔の周波数で発生するスプリアス信号を低減できるという効果を奏する。高域通過のコーナ周波数よりずっと低い低域通過のコーナ周波数(low pass corner frequency)を有するPLL応答を選択することによって、量子化雑音のほとんどを除去することが可能である。単一アキュムレータシステムにおいては、高域通過のロールオフは20dB/decadeである。このように、十分なノイズ抑圧を得ようとすれば、基準周波数を大きくして高域通過のコーナ周波数を大きい周波数に押し上げなければならない。(もしくは、PLLの低域通過の周波数を非常に低くしなければならず、この場合、広帯域幅の利益を失う。)

基本的な分数N構成の高域通過フィルタリングを改良す

B点では、次のごとく式を書くことができる。

$$B(z) = I(z) z^{-1} + A(z) \quad \text{、もしくは}$$

$$B(z) = A(z) / (1 - z^{-1})$$

ただし、データ出力(D0) = B(z) + Q

$$A(z) = \text{データ入力(D1)} - B(z) - Q$$

これらを代入してB(z)について解くと、

$$B(z) = \text{データ入力(D1)} / (2 - z^{-1}) - Q / (2 - z^{-1})$$

また、出力データD0については、

データ出力(D0)

$$= \text{データ入力(D1)} / (2 - z^{-1}) + Q (1 - z^{-1}) / (2 - z^{-1})$$

となる。

上述の式を周波数領域に変換すると(νは折り返し周波数に正規化された周波数)、

ために、1つより多くのアキュムレータを用いるシステム用の分数Nの合成を用いることが知られている。2つのアキュムレータの分数Nシンセサイザは米国特許第4,204,174号に開示されている。また、多段アキュムレータの分数Nシンセサイザの例は図3のブロック図に示され、図1の単一デジタル網111が、付加的なアキュムレータ、この場合、アキュムレータ303、305、307、によって増大されている。

多段アキュムレータ(multia accumulator)システムにおいては、第1のアキュムレータ111の内容は第2のアキュムレータ303のデータ入力となっている。また、第2のアキュムレータ303の内容は第3のアキュムレータ305のデータ入力となる。データがアキュムレータ111の加算器113の出力に一旦セットされると、そのデータはアキュムレータ303の加算器113のデータ入力に転送されなければならない。一旦該データがアキュムレータ303の加算器113の出力においてセットされると、そのデータはアキュムレータ305の入力に転送されなければならない、等となる。すべての転送は1つのクロックバース(典型的には分周器103の出力から取り出される)において達成されなければならない。この処理は「リップル(ripple)」処理と称され、アキュムレータは「リップル」アキュムレータとして知られている。アキュムレータの速度及び/または数にはリップ

ル処理によって明らかに上限が課されている。

第2のアキュムレータ303は第1のアキュムレータの量子化誤差Q1に加えてそれ自身のZ変換量子化誤差Q2を有している。しかしながら、これらの組合わせの量子化誤差は単一アキュムレータの場合より大きく低減する。第2のアキュムレータ303からのキャリアアウト信号は遅延論理素子309に印加され、また、遅延論理素子309によって生成された微分(differentiation)後に加算器311に印加される。アキュムレータ305の比較器からのキャリアアウト出力は遅延論理素子313、315によって2回微分され、加算器311に入力される。アキュムレータ307の比較器からのキャリアアウト出力は遅延論理素子317、319、321によって3回微分され、加算器311に入力される。上述のごとく、微分されたキャリアアウト出力は加算されて有効キャリアアウト信号として分周器103に印加される。このように、多段アキュムレータシステムによって発生する効果は、アキュムレータ111のキャリアアウトの1次の次数の位相オフセット、アキュムレータ303の微分のキャリアアウトの2次の次数の位相オフセット、アキュムレータ305の2回微分のキャリアアウトの3次の次数の位相オフセット、及びアキュムレータ307の3回微分のキャリアアウトの4次の次数の位相オフセットを加算して有効なキャリアアウト信号にすることである。

$$\begin{aligned} \text{ここで、} D O 3 &= D O 2 (1 - z^{-1}) \\ D a t a \text{ } O u t &= D O 1 + D O 3 \end{aligned}$$

である。

従って、計算すると、

$$\begin{aligned} D a t a \text{ } O u t &= (D a t a \text{ } I n) [(3 - 2z^{-1}) / (2 - z^{-1})^2] \\ &+ Q1 [(1 - z^{-1})^2 / (2 - z^{-1})^2] \\ &+ Q2 [(1 - z^{-1})^2 / (2 - z^{-1})] \end{aligned}$$

次に、上記表現を周波数領域に変換すると(νは折り返し周波数に正規化された周波数)、

$$\begin{aligned} |(D a t a \text{ } O u t) / (D a t a \text{ } I n)| &= [(3 - 2 \cos(\pi \nu)) / (5 - 4 \cos(\pi \nu))]^{1/2} \\ |(D a t a \text{ } O u t) / Q1| &= [2 - 2 \cos(\pi \nu)] / [5 - 4 \cos(\pi \nu)] \\ |(D a t a \text{ } O u t) / Q2| &= [2 - 2 \cos(\pi \nu)] / [5 - 4 \cos(\pi \nu)]^{1/2} \end{aligned}$$

この場合、高域通過のコーナ周波数(corner)は1つのアキュムレータの場合とほぼ同一の周波数で発生するが、量子化雑音に対する高域通過特性の周波数応答は4

簡単化のために、第1、第2のアキュムレータのZ変換モデルが図4に示される。DO1は第1のアキュムレータのデータ出力である。上述の計算から、

$$\begin{aligned} D O 1 &= D a t a \text{ } O u t \\ &= (D a t a \text{ } I n) / (2 - z^{-1}) + Q1 [(1 - z^{-1}) / (2 - z^{-1})] \end{aligned}$$

D12は第1のアキュムレータのアキュムレータ内容であり、

$$D12 = (D a t a \text{ } I n - D O 1) / (1 - z^{-1})$$

となる。

同様に、DO2に対する式は、

$$D O 2 = D12 / (2 - z^{-1}) + Q2 [(1 - z^{-1}) / (2 - z^{-1})]$$

となる。

この式にD12を代入し、次にDO1を代入すると、

$$\begin{aligned} D O 2 &= (D a t a \text{ } I n) / [(2 - z^{-1}) (1 - z^{-1})] \\ &- Q1 [(1 / (2 - z^{-1})^2) + Q2 \{(1 - z^{-1}) / (2 - z^{-1})\}] \\ &- (D a t a \text{ } I n) / [(2 - z^{-1})^2 (1 - z^{-1})] \end{aligned}$$

0 dB/decadeである。これにより、PLLを1つのアキュムレータの場合よりより広帯域幅を有し、つまり、分数システムをより低周波数で動作できる一方、所望の雑音抑制を維持できる。

アキュムレータの数は論理的にはいかなる所望の次数にも増大できる。これによる量子化雑音に対する高域通過特性の応答の傾きは20 dB/decadeのアキュムレータの数の倍数となる。各アキュムレータは米国特許第4,609,881号に開示の「パスカルの三角形方法」として知られるものにおいて「再接続」される(recombined)。一般に、より高位のアキュムレータは(1 - z⁻¹)の(n-1)乗として再接続される。

上述のシステムは、1クロックパルスによってデータがすべてのアキュムレータを介してリップルしなければならないことを必要とする。高次数のシステムになれば、この要求は最大アキュムレータクロック速度を制限し、従って、得ることができる雑音抑制を制限する。このような制限の理由は、データが1クロックパルス期間内にシステムを介してリップルできなくなるまで各アキュムレータの伝播遅延が加算されるからである。

発明の概要

分数Nのシンセサイザはデジタル数値を受け入れて制御可能な発振器出力信号周波数を選択する。この出力信号周

特表平5-502154 (6)

波数はループ分周器によって分周され、このループ分周器は制御入力信号によって制御される可変除数を有して基準信号との比較のためのフィードバック信号を発生する。デジタル数値は積分され、ラッチド出力信号及び第1のキャリアアウト出力信号が生成されたクロック信号の第1の発生を受けて発生する。このラッチド出力信号は積分され、第2のキャリアアウト出力信号が第2の上述のクロック信号の発生を受けて発生する。第1のキャリアアウト出力信号及び第2のキャリアアウト出力信号は微分された後に結合されて制御入力信号を発生する。

図面の簡単な説明

図1は1次の分数Nのシンセサイザのブロック図である。
図2は図1のデジタル網の等価Z変換図である。
図3は多次数リップル分数Nのシンセサイザのブロック図である。
図4は次数2のリップルアキュムレータのデジタル網の等価Z変換図である。
図5は本発明が用いられる無線送受信機のブロック図である。
図6は本発明に係わる多段ラッチドアキュムレータを有する分数Nのシンセサイザのブロック図である。
図7は遅延付加、つまりリップル、アキュムレータ構成の詳細ブロック図である。

変分周器103の出力は位相比較回路105の一端を供給し、位相比較回路の他の入力には基準発振器107から供給される。位相比較回路105の出力はループフィルタ109によってフィルタリングされて無用の雑音成分を除去する。次に、ループフィルタ109の出力はVCO101の制御入力にフィードバックされ、これにより、VCO101がその出力周波数 f_o を基準発振器107の周波数の分周器103のデジタル分周比倍の値となるように調整する。

好ましい実施例においては、分周器103の分周比Nは周期的なシーケンスにより変化し、VCO101の出力周波数 f_o を基準発振器107の周波数の分数に等しい周波数ステップで調整できる。この周期的シーケンスは多段アキュムレータデジタル網611によって発生される。4つのアキュムレータのデジタル網が図6に示されている。

周波数オフセットに対応し変調情報を含む分子データは周波数選択回路(図示せず)から入力され、アキュムレータ615の第1の加算器113に印加される。第1のアキュムレータ615からのデータ出力は比較回路115によって処理された後にフィードバックロジック117の出力において取り出される。分周器103から取り出されたクロック入力信号がアキュムレータ615をクロックした後に、上述のデータ出力が利用できる。1つのアキュムレータから次のアキュムレータへ現れるデータは1クロックサ

図8は本発明において用いられる非遅延付加つまりラッチドアキュムレータ構成の詳細ブロック図である。

図9は図8のラッチドアキュムレータの等価Z変換図である。

図10は本発明に係わる3つのアキュムレータのシステムの等価Z変換図である。

図11はデータ入力のデジタル網のための減衰及び3つのアキュムレータのシステムに対する量子化雑音を示す図である。

好ましい実施例の詳細な説明

本発明が用いられる無線送受信機の基本的なブロック図が図5に示される。このような無線送受信機は好ましくはデジタル無線電話システムにおいて有用なデジタル無線送受信機である。シンセサイザ503の出力は受信機505及び送信機507の両方によって用いられ、各々は局部発振器及び送信信号を生成する。送受信機の機能たとえば動作周波数のチャネルに対する制御は制御ロジック509の機能によって提供され、分数Nのシンセサイザの第1のアキュムレータに分子データ入力として入力される。

多段ラッチドアキュムレータの分数Nのシンセサイザが図6に示される。この周波数シンセサイザは所望の出力周波数 f_o を提供し、また、可変デジタル分周器103に入力を供給する電圧制御発振器VCO101を使用する。可

イクル中においてストリングにおける次のアキュムレータへ転送されるだけであり、これにより、1クロックパルス内ですべてのアキュムレータを介してリップルする問題を避けることができることが本発明の重要な特徴の1つである。第1のアキュムレータより先の各アキュムレータには次の低位のアキュムレータの内容が供給される。各アキュムレータは第1のアキュムレータ615でもって次の低位のアキュムレータの内容をデジタル的に積分して入力分子データのデジタル積分を実行する。第2のアキュムレータ617は入力分子データの2重積分を実行し、第3のアキュムレータ619は入力分子データの3重積分を実行し、第4のアキュムレータ621は入力分子データの4重積分を実行する。

各アキュムレータの出力はキャリアアウトつまりオーバーフロー出力である。第1のアキュムレータ615については、この出力はVCO101の出力周波数 f_o が基準発振器107からの信号出力の周波数に対して 360° の位相誤差を得たことを示す。これを補正するために、分周器103の分周比は次のクロックインターバルに対して1つの整数だけ増大され、アキュムレータ615の内部データはその容量だけ減少される。この作用により位相検出器105の入力からの出力周波数 f_o の1サイクルを除去し、従って、VCO101の出力において 360° の位相補正がされることになる。この補正は出力周波数 f_o がループフ

特表平5-502154 (7)

フィルタ109なしで360°の位相誤差を達成する点においてのみ発生する。このような条件は位相検出器105の出力における鋸歯状の波形となり、次にこれはループフィルタ109によってフィルタリングされなければならない。この鋸歯状の波形の平均値は基準発振器107からの基準周波数出力の分数増分の間隔となっている周波数を選択するための正しい制御信号である。

しかしながら、第1のアクムレータ615の内部データは中間位相誤差を示す。高位のアクムレータは第1のアクムレータ615の内部データに対して作用するように含まれており、これにより、位相誤差に中間補正を提供し、この結果、鋸歯状の波形を周波数的に細分でき、従って、元の鋸歯状の波形の基本周波数における雑音出力は低減できる。

高位のアクムレータの出力はキャリアアウト出力の導関数演算を実行するデジタル遅延網(623, 625, 627, 629)を介して供給される。アクムレータのこれらのキャリアアウト出力は分子データ入力のデジタル積分であるので、所望の位相に対するより高次の補正となる。

たとえば、第2のアクムレータ617のキャリアアウト出力はデジタル遅延網625に印加され、そこで、通常のデジタル加算器635に供給される前にそのキャリアアウト出力は通常の遅延素子631及び遅延素子633によって遅延される。

うな他の係数を導入することもできる。しかしながら、上述の係数以外のいずれの選択も最適な雑音除去性能以下の性能を招くことになる。

図7においては、リップルアクムレータのブロック図が示されている。このアクムレータが図3に示すごとく、複数個カスケード接続されて1つのアクムレータのデータ出力が次のアクムレータのデータ入力に供給されるようにすると、結果として得られる回路はアクムレータの数に等しい深さのカスケード接続加算器群となる。このような構成は1つのアクムレータに対する加算プロセスの遅延のアクムレータの数倍に等しいセッティング時間を必要とする。位相に対して高次の補正を所望のときには、多数のアクムレータを必要とし、これに対応する最大動作速度の減少を招くことになる。

好ましい実施例においては、アクムレータ615, 617, 619, 621に対して図8に示すようなラッチドアクムレータ構成を用いる。各アクムレータのデータ出力信号801は通常のラッチ回路803からのラッチ出力として取り出される。ラッチ回路803がそれに伴う加算器807を分離するので、このようなアクムレータのカスケード接続は(805を介してラッチ回路803に印加される)各クロックパルスの発生に応じた単一の加算器遅延を有するのみである。この構成により、加算器807からの各アクムレータのキャリアアウト出力シーケンス

加算器635においては、第2のアクムレータ617の遅延出力が通常の遅延素子637の出力から得られた前回値の否定値に加算される。これはデジタル的な意味で1階の導関数である。第2のアクムレータ617の出力は入力分子データの第2の積分であるので、この構成の正味の出力は分数周波数のオフセットの2次の位相補正である(分子データは位相の導関数である周波数オフセットであることに注意)。

第3のアクムレータ619のキャリアアウト出力はデジタル遅延網627に印加され、そこでこのキャリアアウト出力は遅延素子639によって遅延され、前回値の否定値の2倍値と前々回値との和に加算される。これらの前回値及び前々回値は、それぞれ、遅延素子641, 643の出力から得られる。これは2階のデジタル導関数に相当する。第3のアクムレータ619の出力は分子データ入力の第3の積分を示すので、これらの全体の効果は分数周波数オフセットの位相に対する3次の補正である。

この技術はより多くのアクムレータ部分をデジタル網611に加えることによって所望の次数の補正に対して実行できる。各シーケンスの加算の係数は、 $(1 - z^{-1})^X$ 、ただしXは考慮中のアクムレータの次数、の展開における因数(factors)に対応する。また、第1のアクムレータに対する係数の和が1となりかつ他のすべての高位のアクムレータに対する係数の和が0となるよ

は次の低位のアクムレータの出力シーケンスから1クロックサイクルだけ遅延することになる。

4つのアクムレータシステムにおける図6を再び参照すると、たとえば、デジタル網629に印加された第4のアクムレータ621のキャリアアウト出力シーケンスは第1のアクムレータ615のキャリアアウト出力シーケンスから3サイクル遅延され、第3のアクムレータ619のキャリアアウト出力シーケンスは第1のアクムレータ615のキャリアアウト出力シーケンスから2サイクル遅延され、第2のアクムレータ617のキャリアアウト出力シーケンスは第1のアクムレータ615のキャリアアウト出力シーケンスから1サイクル遅延される。これらのシーケンスを時間的に整列するために、第1のアクムレータ615の出力は遅延素子645, 647, 649によって3回遅延され、第2のアクムレータ617の出力は遅延素子631, 633によって2回遅延され、第3のアクムレータ619の出力は遅延素子639によって1回遅延される。他のすべての遅延素子はディンダ微分処理に関連するものである。

動作速度の必要性を示すために、デジタル網の雑音性能を解析するのに適したラッチドアクムレータ及びそれに付随するデジタル遅延網の等価モデル900が図9に示される。通常のZ変換理論に基づくこのモデルはデジタル遅延または z^{-1} 利得ブロック901としてのラッチ動作を

特表平5-502154 (8)

表している。アキュムレータにおける加算器は遅延ブロック901に伴う加算ブロック903によって示されている。第2の加算ブロック905は外側のループに用いられアキュムレータのオーバーフロー毎に発生するアキュムレータ容量の減算を示している。最後に、第3の加算ブロック907は位相誤差の量子化によって生ずる雑音を示すのに用いられる。

このアキュムレータ構造に対して2つの伝達関数を次のごとく規定できる。

$$\text{キャリアアウト} = z^{-1} \cdot \text{データ入力} + (1 - z^{-1}) \cdot Q$$

$$\begin{aligned} \text{データ出力} &= \text{次のデータ入力} \\ &= z^{-1} \cdot \text{データ入力} - z^{-1} \cdot Q \end{aligned}$$

簡単のために、図6の最下位の3つのラッチドアキュムレータ及びこれに付随する遅延網が図10の等価Z変換図に示されている。より高位の各アキュムレータのキャリアアウト出力は対応する数の導関数を通して、共通の加算器1001において再結合される。より低位の各アキュムレータの出力は遅延されてすべてのシーケンスを再整列する。このシステムに対する全体の伝達関数は下記のごとく導くことができる。

／2で発生する。

図11から2つの結果を解釈できる。第1に所望の周波数オフセットデータは低い歪みでデジタル網を通過する。第2に量子化雑音に対する高域通過特性の傾きがdb／decadeでアキュムレータの数の20倍であるので、各加算されたアキュムレータに対して低周波数でのデジタル網の雑音除去は改良されていることが分かる。また、デジタル網(digital network)は可能な限り高速度で動作すべきであり、この結果、高域通過特性のコーナ(下限)周波数は可能な限り高い周波数とすべきである。低周波雑音がデジタル網で適切に除去されると、シンセサイザ全体は低雑音となる。なぜなら、デジタル網が供給する位相ロックループが低域通過網であり、これがデジタル網によって除去されないいづれの残余の高周波雑音成分をも除去するからである。

好ましい実施例においては、変調情報は送受信機制御ロジック509からの24ビット分子データの16の最下位ビットとして分数Nのシンセサイザの多段アキュムレータデジタル網611に印加される。本発明を用いる送受信機はGSM汎ヨーロッパデジタル無線電話システムにおいて効果的に利用できるので、高速度な周波数変化、変調、及び低スプリアスおよび雑音レベルが分数Nのシンセサイザについて実現される。変調については、分数Nのシンセサイザはルックアップテーブルを用いて送信すべきデータスト

$$\begin{aligned} D0 &= z^{-3} (3 - 3z^{-1} + z^{-2}) D1 + z^{-3} (1 - z^{-1})^3 Q1 \\ &\quad + z^{-1} (1 - z^{-1})^3 Q2 + (1 - z^{-1})^3 Q3 \end{aligned}$$

この表現は $e^{j\pi\nu} = Z$ とすることにより周波数領域へ逆変換できる。この結果、D0に対して次のこととなる(なお、これは項ごとの大きさの表現である。)

$$\begin{aligned} D0 &= \{19 + 6(\cos 2\pi\nu - 3\cos\pi\nu - \cos\pi\nu\cos 2\pi\nu \\ &\quad - \sin 2\pi\nu + 3\sin\pi\nu - \sin\pi\nu\sin 2\pi\nu \\ &\quad + \cos\pi\nu\sin 2\pi\nu - 3\cos\pi\nu\sin\pi\nu \\ &\quad + \cos 2\pi\nu\sin\pi\nu \\ &\quad - (1/3)\cos 2\pi\nu\sin 2\pi\nu)\}^{1/2} (D1) \\ &\quad + \{2 - 2\cos\pi\nu\}^{3/2} Q1 + \{2 - 2\cos\pi\nu\}^{3/2} Q2 \\ &\quad + \{2 - 2\cos\pi\nu\}^{3/2} Q3 \end{aligned}$$

上述の表現において、 ν は折り返し周波数に正規化された周波数である。この折り返し周波数はアキュムレータクロックが動作する速度の1／2に等しい。

図11の周波数対減衰量曲線はこの表現の各項の出力を示す。なお、D1(もしくはデータ入力)は高周波数で少しデータ出力(D0)側に歪んでおり、量子化雑音項(Q)は高域通過フィルタによりろ波されている。高域通過項は60db／decadeの傾きでロールオフし、高域通過のコーナ周波数(corner)は折り返し周波数のほぼ1

リムを分数Nのシンセサイザのために周波数オフセットに変換する。シンセサイザのループ分周比は入力データストリームに従って調整されて、GMSK変調信号に要求される瞬時の周波数オフセットに追従する。これは、オフセット周波数においてもしくは直接主周波数において可能である。

ラッチドアキュムレータの分数Nのシンセサイザ構成は多くのアキュムレータとともにスプリアス信号を除去し、D/A補正を提供して離散的スプリアス信号を低減し、PLLに直接デジタル変調を提供するよう作用を受ける。GSMシステムにおいて、データ速度は0.3のBT種で270.83333kbである。この結果、PLLを介して変調として低歪みでもって通過しなければならない周波数は約81kHzとなる。

GMSK信号の実際の周波数オフセット成分は10Hzから約70kHzに及ぶ。この範囲は、10Hz以下のステップでシンセサイザするのに必要であるので、アキュムレータの長さを決定する。GSMシステムの好ましい実施例においては、基準周波数26MHzにに対して、アキュムレータ長は24ビットであるが、最小として少なくとも22ビットとしなければならない。

明らかに、変調による所望の瞬時周波数オフセットはループフィルタのカットオフより十分低い。従って、周波数シンセサイザのループは変調による基本的な周波数「チャ

ネル化」スプリアス信号のいずれも減衰させない。しかしながら、多段アキュムレータシステムについては、この問題は克服される。

好ましくは、細分化 (fractionalization: 分周比の分数部分の分母値) を増大でき、スプリアス出力のすべてが非常に低い周波数域に移動され、ここで、多くのアキュムレータを高速度クロックで使用した結合効果は分数処理の量子化雑音の大きな減衰を招くことができるようになる。このように、大きな分母は基準発振器の周波数を効果的に分周し、この結果、発生するスプリアス信号はループ高域通過特性の3dB下限周波数より十分低い周波数に低下する。多くのアキュムレータを使用すると、高域通過フィルタリング動作の傾きが増大する。動作速度を増大させると、高域通過フィルタの下限 (corner) 周波数が増大する。

図6のラッチドアキュムレータの分散Nのシンセサイザのブロック図を再び参照すると、分散Nの多段アキュムレータデジタル網611の出力は分周器103の分周制御入力に供給される。デジタル網611が1クロック基準期間に1だけ分割を増大させると、VCO101の1出力パルスは分周器103によって効率的に除去される。この動作はVCO101の出力周波数における 2π ラジアン位の相シフトに対応する。次に、この位相シフトは分周器103によって分周され、位相検出器105の入力における位相

位相検出器105を通過した後に、信号はループフィルタ109に入力される。ループフィルタ109の出力はVCO101の制御入力に供給する。VCO101の入力における制御誤差電圧の大きさは次のごとく表すことができる。

$$V_e = 2\pi K_\phi |c(n)| |F(\omega)| / N_L$$

ただし、 K_ϕ は位相検出器の変換利得、 $|F(\omega)|$ はオフセット周波数でのフィルタ応答の大きさである。

この制御電圧によりVCO101は次のスプリアス成分を出力する。

$$f_{\text{spur}}(t) = (2\pi K_\phi K_\nu / N_L) |F(\omega)| |c(n)| \cos(\omega_m t)$$

ただし、 ω_m はデジタルシーケンスのスプリアス周波数成分、

K_ν は可変発振器の変換利得である。

位相ロックループのフィードバック特性はこれをスプリアス成分が次のごとく補正する。

シフトは分周器103の除数によって 2π ラジアンを除算したものとなる。一般に、デジタル網611は時間的に変化する分周比を発生する。このように、一般的な場合には、位相検出器105への入力は次のごとく表すことができる。

$$\{2\pi / (s N_L)\} c(n)$$

ただし、 N_L は公称のループ分周比、

$c(n)$ はオフセット周波数でのデジタルシーケンスのフーリエ成分、

$1/s$ は周波数を位相に変換するために導入されたものである。

デジタルシーケンスのフーリエ成分は次のごとく計算される。

$$c(n) = (2/N) \sum_{i=0}^{N-1} [\cos(2\pi i/N) - j \sin(2\pi i/N)]$$

ただし、Nはシーケンスの1周期における総ポイント数、 $\theta(i)$ はデジタルシーケンスの時間波形、 i は時間成分、 n は周波数成分である。

$$f_{\text{spur}}(t) = (2\pi K_\phi K_\nu / N_L) |F(\omega)| |c(n)| \cos(\omega_m t) / (1 + K_\phi K_\nu |F(\omega)| / (\omega_m N_L))$$

小さいスプリアス成分に対して、スーパー (spur) レベルは、 $\beta/2$ 、ただし、 β は上述の周波数に対応する位相、に近似できる。

$$\beta = \int f_{\text{spur}}(t) dt$$

このように、スプリアスレベルは次のごとく近似できる。

$$\beta/2 = (\pi K_\phi K_\nu / (N_L \omega_m)) |F(\omega)| |c(n)| / (1 + K_\phi K_\nu |F(\omega)| / (\omega_m N_L))$$

低周波数に対しては、 $F(\omega) \rightarrow \infty$ かつ $\omega_m \rightarrow 0$ である。このようにして、スプリアスレベルは次のごとく近似できる。

$$\beta/2 = 2\pi |c(n)|$$

このように、多段アキュムレータのデジタル網611のフーリエ成分がすべてのスプリアス成分が小さな値になるように形成されると、位相ロックループの出力もまた小さ

いスプリアス値を含む。デジタル網611は量子化雑音に対しては高域通過フィルタとして動作する。細分化を非常に大きな数に増大することによって、すべてのスプリアス信号は周波数オフセットに位置し、ここで、分数シーケンス発生器はスプリアスレベルを位相ロックループの雑音フロア (noise floor) のレベルより低く減衰する。位相ロックループ出力に通過後、スプリアス信号は依然として分数シーケンス発生器によって生成されたレベルを維持する。

好ましい実施例においては、位相検出器は基準発振器107によって供給された26MHzで動作し、細分化は大きな数による ($2^{24} = 16,777,216$)。分数Nのスプリアス信号は1,549,722Hzの高調波及び分数調波で発生する。基準周波数は非常に高い周波数であるので、分数Nの多段アキュムレータのデジタル網611の高域通過のコーナ周波数は約6,5MHzである。従って、細分化によって発生するスプリアス信号の減衰は非常に大きい。

デジタル網611の高域通過特性の使用によるスプリアス信号の除去は重要な利点を有する。第1に、チャンネル間隔が低歪み変調に対する最小要求周波数ステップより非常に小さい。第2に、除去が必要である位相ロックループの雑音フロアより高い離散的なスプリアス信号は存在しないので、ループ帯域幅は非常に広い。(実際の基本周波数2

6MHzにおけるスパーを除き)。好ましい実施例においては、400kHzのオープンループ単位利得周波数がGMSK信号に5°のピーク及び3,5°のRMS位相誤差を生じさせる。これはGSM規格である20°ピーク及び5°RMSに対し合理的な限界である。3,5°のRMS値はそれが広いループ帯域幅によって決定される点で非常に信頼できるものである。

非常に高い細分化に対して設計されたシステムについては、いくつかのチャンネルオフセットが分子及び分母の共通因子に発生する点で問題がある。これは所望のものよりずっと小さい実効的な細分化となり、また、離散的なスプリアス信号が再出現する。この状況はアキュムレータの最下位ビットを設定することによって避けることができる。例としてあるチャンネルが分数オフセット1/4を要求する上述の場合を考える。これは6,5MHzの高調波及び分数調波におけるスプリアス出力となる。LSBがセットされると、細分化は4,194,305/16,777,216となり、これによりスプリアス信号を1Hz領域へ戻すことになる。この結果、周波数誤差は小さくなるが、多くの場合には、この種の誤差は重要でない。

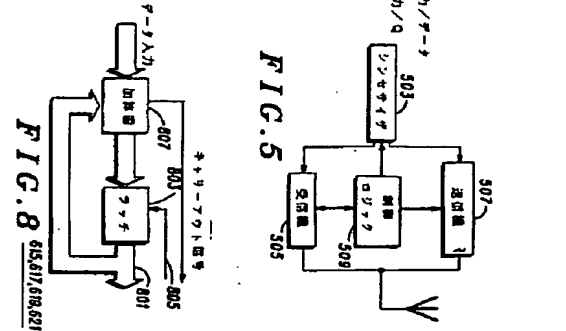
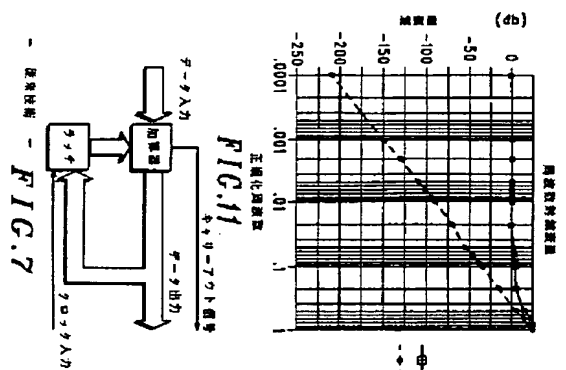
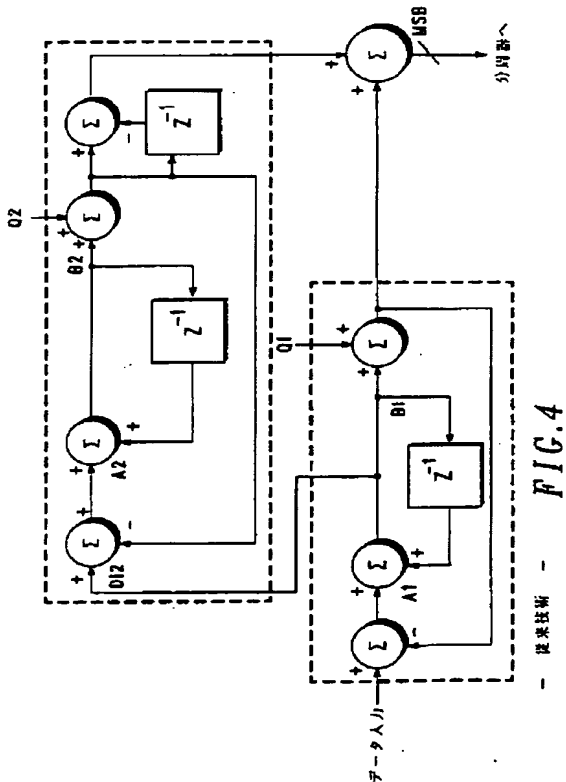
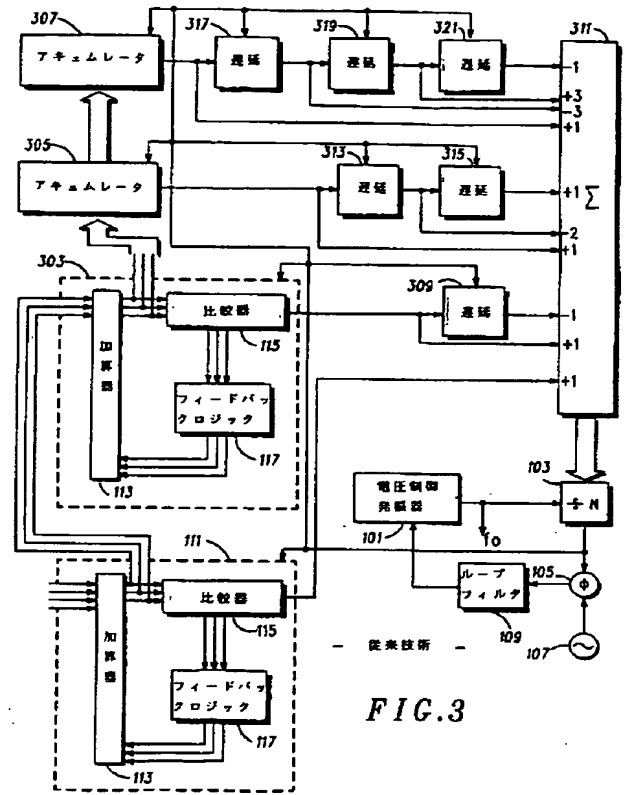
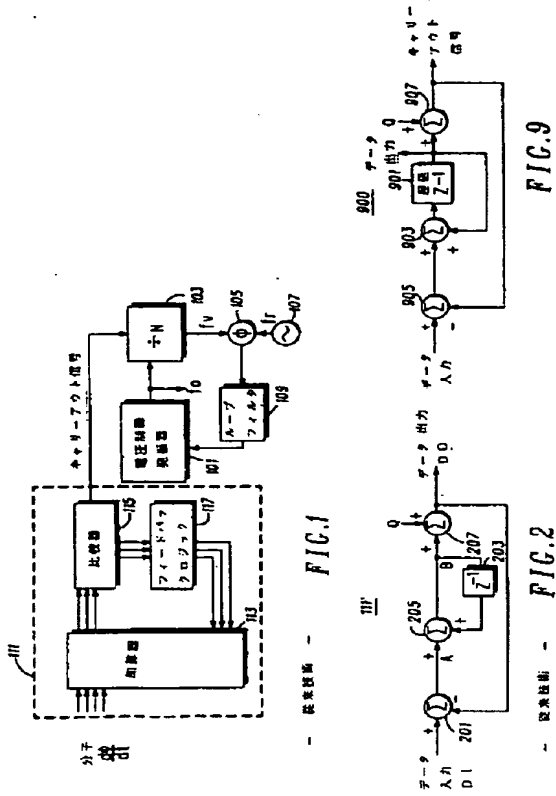
高細分化を保证する第2の方法はある数もしくはある群の数でアキュムレータを初めにオフセットし、その後、所望の周波数を入力することである。この初期オフセットにより2もしくはそれ以上のアキュムレータを含む分数Nの

アキュムレータは入力データのほぼ任意の値に対するその全アキュムレータ長のそれに対応するスプリアスパターンを発生する。多段アキュムレータシステムにおいては、1つの下位ビット (もしくは複数のビット) の初期オフセットはオフセットデータ上に課された基本的にランダムなパターンとなる。一旦データがシステムに供給されると初期オフセットが除去されるので、この方法は周波数誤差を発生しない。なお、単一アキュムレータシステムにおいては、波形が初期オフセットに関係なく同一波形に戻る単純な鋸歯状波形に対応するので、この方法は単一アキュムレータシステムに対しては作用しない。多くのアキュムレータにより、オフセットは多数のパターンを設定し、これらのパターンはデジタル網111において除去される対応する低周波数スペクトル成分を伴う非常に長い時間シーケンスを形成するよう相互作用する。

このように、n次の分数Nのシステムが与えられると、アキュムレータはラッチされる (latched) ことが可能になり、この結果、データが1クロックサイクルにおいて1つより多くのアキュムレータを介してリップルする必要がない同期システムとなる。可変ループ分周器への1次または最小オーダのアキュムレータの出力は (n-1) 個のクロック装置によって遅延され、次に低いレベルのアキュムレータの出力は (n-2) 個のクロック装置によって遅延され、以下同様に、遅延されない、最後つまり最高

レベルのアキュムレータにまで致る。これは時間シーケンスを再整列して非ラッチドシステムの雑音特性を与える。

システムの同期的特性のために、より高い周波で動作が可能となり、従ってPLL帯域幅を大きくできる。これによりロック時間を速くでき、分数分周器を介した広帯域デジタル変調 (もしくは位相検出器へ入力される基準発振器を介したアナログ変調) が可能となり一方、優れた予測可能なスプリアス性能が維持できる。



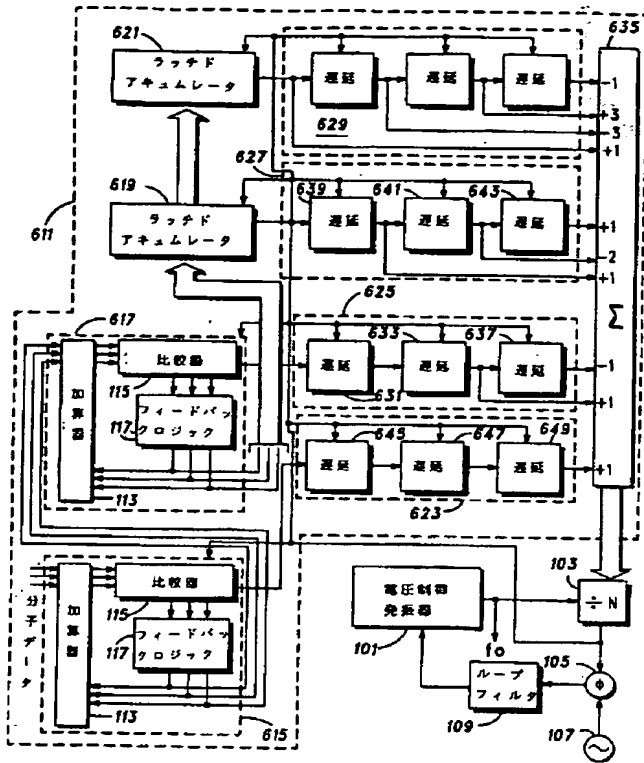


FIG. 6

要約書

デジタル無線送受信機に使用される多段ラッチドアキュムレータの分数Nのシンセサイザが開示されている。シンセサイザの分周器(103)の除数は基準周波数の分数に等しい周波数増分となるアキュムレータのキャリア出力デジタルシーケンスの和によって時間的に変化する。アキュムレータ(615, 617)はラッチされ、クロックパルスの発生毎に、データが各アキュムレータを介して一度に1つのクロックパルスステップで一度に転送され、この結果、システムによる遅延はアキュムレータの1個分のみの遅延に等しくなる。アキュムレータ(615, 617)のキャリア出力はアキュムレータの数の遅延より小さい遅延に等しい遅延素子(645, 647, 649, 631, 633)を介して結合されて加算され(635)、この結果、高位のアキュムレータのキャリア出力は正味の和が0まで加算され、第1のアキュムレータの所望の分数設定を変更することはない。

